

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-340991
 (43)Date of publication of application : 27.11.2002

(51)Int.CI. G01R 31/316
 G01R 31/28
 G01R 31/3183
 G01R 31/319

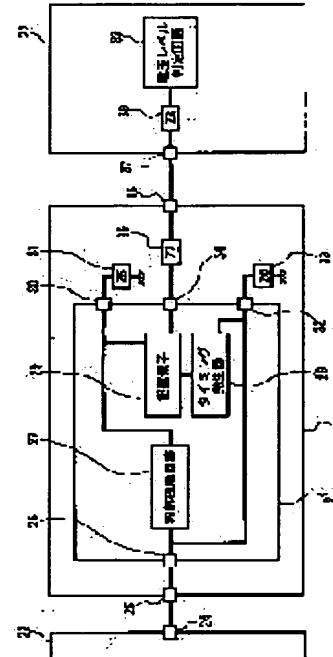
(21)Application number : 2001-148365 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 17.05.2001 (72)Inventor : KUBO HIRONORI

(54) SEMICONDUCTOR DEVICE AND ITS AC SPECIFICATION TESTING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its AC specification testing method which can execute accurately and stably high speed AC specification test by using an LSI tester of low cost.

SOLUTION: Impedance elements 31 and 33 having the same value as an ordinary operation time are connected with a data signal output terminal 30 of a semiconductor device under test 21 and a clock signal output terminal 32, respectively. An internal function circuit 27 outputting a data signal synchronized with an external input clock signal, a timing generator 28 generating a timing signal having a phase different from the external input clock signal, and a storage element 29 storing temporarily the data signal outputted from the circuit 27 are installed in the semiconductor device 21 to be measured. By using the LSI tester, the data signal outputted from the storage element 29 is compared with expected values which are prepared previously, and the AC specification test is executed.



LEGAL STATUS

[Date of request for examination] 02.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3633881

[Date of registration] 07.01.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-340991
(P2002-340991A)

(43) 公開日 平成14年11月27日(2002.11.27)

(51) Int.Cl.
G 0 1 R 31/316
31/28
31/3183
31/319

識別記号

F I
G O 1 R 31/28

テ-マコ-ト(参考)
2G132

審査請求 未請求 請求項の数 6 OL (全 10 頁)

(21)出願番号 特願2001-148365(P2001-148365)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 久保 浩紀
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100081813
弁理士 早瀬 審一

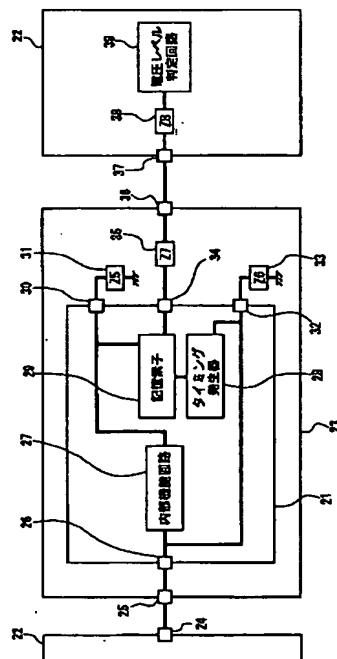
F ターム(参考) 2G132 AA00 AB00 AB01 AC03 AG08
AK07 AK22 AL32

(54) 【発明の名称】 半導体装置及びそのACスペック検査方法

(57) 【要約】

【課題】 安価なLSIテスターを用い、高速なACスペック検査を正確かつ安定に実行可能な半導体装置及びそのACスペック検査方法を提供する。

【解決手段】被測定半導体装置21のデータ信号出力端子30とクロック信号出力端子32の各々に通常動作時と同値のインピーダンス素子31,33を接続し、被測定半導体装置21内に、外部入力クロック信号に同期したデータ信号を出力する内部機能回路27と、外部入力クロック信号と位相の異なるタイミング信号を発生するタイミング発生器28と、内部機能回路27から出力されるデータ信号を一時的に記憶する記憶素子29と、を設け、LSIテスター22により、記憶素子29より出力されるデータ信号と予め準備しておいた期待値とを比較してACスペック検査を実行する。



【特許請求の範囲】

【請求項1】 外部入力クロック信号を入力する入力端子と、上記外部入力クロック信号に同期して動作を行い、データ信号を出力する内部機能回路と、上記外部入力クロック信号と位相の異なるタイミング信号を発生するタイミング発生手段と、上記タイミング信号をトリガーに上記内部機能回路より出力されるデータ信号を一時的に記憶する記憶素子と、上記内部機能回路より出力されるデータ信号を外部へ出力する第1の出力端子と、上記外部入力クロック信号を外部へ出力する第2の出力端子と、上記記憶素子に記憶されているデータ信号を外部へ出力する第3の出力端子と、を備え、上記第1、第2の出力端子の通常動作状態と同値の第1、第2のインピーダンス素子が上記第1、第2の出力端子の各々にパフォーマンスボード上で接続され、かつ、該各インピーダンス素子の他端は接地された、ことを特徴とする半導体装置。

【請求項2】 外部入力クロック信号を入力する入力端子と、上記外部入力クロック信号に同期して動作を行い、データ信号を出力する内部機能回路と、上記外部入力クロック信号と位相の異なるタイミング信号を発生するタイミング発生手段と、上記タイミング信号をトリガーに上記内部機能回路より出力されるデータ信号を一時的に記憶する記憶素子と、上記内部機能回路より出力されるデータ信号または上記記憶素子より出力されるデータ信号のいずれかを選択して出力する選択回路と、上記選択回路より出力されたデータ信号を外部へ出力する第1の出力端子と、上記外部入力クロック信号を外部へ出力する第2の出力端子と、を備え、上記第1、第2の出力端子の通常動作状態と同値の第1、第2のインピーダンス素子が該第1、第2の出力端子の各々にパフォーマンスボード上で接続され、かつ、該各インピーダンス素子の他端は接地され、上記選択回路は、上記タイミング発生手段よりタイミング信号が発生すると、上記内部機能回路より出力されるデータ信号を上記第1の出力端子を介して上記記憶素子へ出力し、上記記憶素子へ記憶されたデータ信号を上記第1の出力端子を介して外部へ出力することを特徴とする半導体装置。

【請求項3】 請求項1または請求項2に記載の半導体装置において、上記タイミング発生手段は、上記外部入力クロック信号に応じて所定の遅延時間を経過した後にタイミング信号

を発生する遅延素子で構成される、ことを特徴とする半導体装置。

【請求項4】 請求項1または請求項2に記載の半導体装置において、

上記タイミング発生手段は、上記外部入力クロック信号に同期させ、かつ、所定の位相差を有する複数のタイミング信号を発生し、該複数のタイミング信号のうち任意のタイミング信号を選択可能なD L L回路で構成される、

10 ことを特徴とする半導体装置。

【請求項5】 請求項1または請求項2に記載の半導体装置において、

上記タイミング発生手段は、上記外部入力クロック信号に応じた周波数を発生し、上記外部入力クロック信号周波数よりも高い周波数のタイミング信号を発生可能なP L L回路で構成される、

ことを特徴とする半導体装置。

【請求項6】 請求項1ないし請求項5のいずれかに記載の半導体装置に対し、ACスペック検査を行うACス

20 ペック検査方法であって、LSIテスターより、上記半導体装置にクロック信号を入力し、

上記半導体回路の内部機能回路にて、上記クロック信号に同期したデータ信号を出力し、

上記半導体回路のタイミング発生手段にて、上記クロック信号に応じて所定のタイミング信号を発生し、

上記半導体回路の記憶素子に、上記タイミング信号の入力により上記データ信号を一時的に記憶し、

上記記憶素子から上記データ信号を上記LSIテスターへ出力し、

上記LSIテスターにより、予め準備しておいた期待値と上記記憶素子より出力されたデータ信号とを比較して良否判定を行う、

ことを特徴とする半導体装置のACスペック検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びそのACスペック検査方法に関するものである。

【0002】

40 【従来の技術】近年、半導体装置の動作周波数が増加し、半導体装置の検査では、高価なLSIテスターを使用したACスペック検査が行われている。以下、従来の半導体装置及びそのACスペック検査方法について図4を用いて説明する。

【0003】図4において、1は、被測定半導体装置である。2は、LSIテスターであり、被測定半導体装置1のACスペック検査を行う。3は、パフォーマンスボードであり、被測定半導体装置1とLSIテスター2とを接続する。4は、LSIテスター2のクロック信号出力端子である。5は、パフォーマンスボードのクロック

信号入力端子である。6は、被測定半導体装置1のクロック信号入力端子である。7は、被測定半導体装置1の内部機能回路であり、外部入力クロック信号に同期して動作を行い、データ信号を出力する。8は、被測定半導体装置1のクロック信号出力端子である。9は、パフォーマンスボード3の配線インピーダンスZ3である。10は、パフォーマンスボード3のクロック信号出力端子である。11は、被測定半導体装置1のデータ信号出力端子である。12は、パフォーマンスボード3の配線インピーダンスZ1である。13は、パフォーマンスボード3のデータ信号出力端子である。14は、LSIテスター2のクロック信号入力端子である。15は、LSIテスター2の配線インピーダンスZ4である。16は、クロック信号の電圧レベル判定回路である。17は、LSIテスター2のデータ信号入力端子である。18は、LSIテスター2の配線インピーダンスZ2である。19は、データ信号の電圧レベル判定回路である。20は、時間計測回路であり、電圧レベル判定回路16と電圧レベル判定回路19から出力される各判定結果の到着時間差と基準値とを比較してACスペック検査を行う。

【0004】次に、上記構成の半導体装置1の動作及びACスペック検査方法について説明する。LSIテスター2のクロック信号出力端子4から出力されたクロック信号は、パフォーマンスボード3のクロック信号入力端子5を通って、被測定半導体装置1内へ出力される。

【0005】被測定半導体装置1において、クロック信号入力端子6より入力されたクロック信号は、内部機能回路7及びクロック信号出力端子8へ出力される。内部機能回路7は入力されたクロック信号に同期したデータ信号をデータ信号出力端子11を介して外部へ出力する。そして、データ信号出力端子11より出力されたデータ信号は、パフォーマンスボード3の配線インピーダンス12、被測定半導体装置1のデータ信号出力端子13、LSIテスター2のデータ信号入力端子17、LSIテスター2の配線インピーダンス18を通って、電圧レベル判定回路19に入力される。

【0006】また、クロック信号出力端子8へ出力されたクロック信号は、パフォーマンスボード3の配線インピーダンス9、パフォーマンスボード3のクロック信号出力端子10、LSIテスター2のクロック信号入力端子14、LSIテスター2の配線インピーダンス15を通って、電圧レベル判定回路16に入力される。

【0007】そして、2つの電圧レベル判定回路16、19より各判定結果が時間計測回路20へ出力される。時間計測回路20は、2つの判定結果の到着時間の差を測定し、該時間差が基準値内か否かを判定することでACスペックの検査を行う。

【0008】

【発明が解決しようとする課題】しかしながら、上記従

來の構成ではパフォーマンスボード3の配線インピーダンス9、配線インピーダンス12が存在し、さらに、LSIテスター2の配線インピーダンス15、配線インピーダンス18が存在するために被測定半導体装置1から出力されるクロック信号、データ信号の電圧レベル判定回路16、19への到着時刻が遅延し、さらに到達したクロック信号、データ信号波形が崩れるために、高速なACスペック検査を正確かつ安定に行なうことが難しいという問題があった。

10 【0009】本発明は、上記問題点を解消するためになされたものであり、配線インピーダンスの影響を受けることなく、安価なLSIテスターを用いて高速なACスペック検査を安定かつ正確に実行可能な半導体装置及びそのACスペック検査方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するため、本発明の請求項1に係る半導体装置は、外部入力クロック信号を入力する入力端子と、上記外部入力クロック信号に同期して動作を行い、データ信号を出力する内部機能回路と、上記外部入力クロック信号と位相の異なるタイミング信号を発生するタイミング発生手段と、上記タイミング信号をトリガーに上記内部機能回路より出力されるデータ信号を一時的に記憶する記憶素子と、上記内部機能回路より出力されるデータ信号を外部へ出力する第1の出力端子と、上記外部入力クロック信号を外部へ出力する第2の出力端子と、上記記憶素子に記憶されているデータ信号を外部へ出力する第3の出力端子と、を備え、上記第1、第2の出力端子の通常動作状態と同値の第1、第2のインピーダンス素子が上記第1、第2の出力端子の各々にパフォーマンスボード上で接続され、かつ、該各インピーダンス素子の他端は接地された、ことを特徴とする。これにより、パフォーマンスボード及びLSIテスターの各配線インピーダンスの影響を受けることなく、被測定半導体装置のACスペック検査を正確かつ安定に実行できる。

【0011】本発明の請求項2に係る半導体装置は、外部入力クロック信号を入力する入力端子と、上記外部入力クロック信号に同期して動作を行い、データ信号を出力する内部機能回路と、上記外部入力クロック信号と位相の異なるタイミング信号を発生するタイミング発生手段と、上記タイミング信号をトリガーに上記内部機能回路より出力されるデータ信号を一時的に記憶する記憶素子と、上記内部機能回路より出力されるデータ信号または上記記憶素子より出力されるデータ信号のいずれかを選択して出力する選択回路と、上記選択回路より出力されたデータ信号を外部へ出力する第1の出力端子と、上記外部入力クロック信号を外部へ出力する第2の出力端子と、を備え、上記第1、第2の出力端子の通常動作状態と同値の第1、第2のインピーダンス素子が該第1、

第2の出力端子の各々にパフォーマンスボード上で接続され、かつ、該各インピーダンス素子の他端は接地され、上記選択回路は、上記タイミング発生手段よりタイミング信号が発生すると、上記内部機能回路より出力されるデータ信号を上記第1の出力端子を介して上記記憶素子へ出力し、上記記憶素子へ記憶されたデータ信号を上記第1の出力端子を介して外部へ出力する、ことを特徴とするものである。これにより、パフォーマンスボード及びLSIテスターの各配線インピーダンスの影響を受けることなく、半導体装置のACスペック検査を正確かつ安定に実行でき、また、記憶素子より出力されるデータ信号の出力端子と、内部機能回路より出力されるデータ信号の出力端子を同一の出力端子で利用可能ため、出力端子数を低減できる。

【0012】本発明の請求項3に係る半導体装置は、請求項1または請求項2に記載の半導体装置において、上記タイミング発生手段は、上記外部入力クロック信号に応じて所定の遅延時間を経過した後にタイミング信号を発生する遅延素子で構成される、ことを特徴とするものである。これにより、タイミング発生手段の構成が容易になり、半導体装置のACスペック検査を低コストで実現できる。

【0013】本発明の請求項4に係る半導体装置は、請求項1または請求項2に記載の半導体装置において、上記タイミング発生手段は、上記外部入力クロック信号に同期させ、かつ、所定の位相差を有する複数のタイミング信号を発生し、該複数のタイミング信号のうち任意のタイミング信号を選択可能なDPLL回路で構成される、ことを特徴とするものである。これにより、外部入力クロック信号に対するタイミング信号の遅延時間を連続して変化可能であり、その結果、より詳細なACスペック検査が実行できる。

【0014】本発明の請求項5に係る半導体装置は、請求項1または請求項2に記載の半導体装置において、上記タイミング発生手段は、上記外部入力クロック信号に応じた周波数を発生し、上記外部入力クロック信号周波数よりも高い周波数のタイミング信号を発生可能なPLL回路で構成される、ことを特徴とするものである。これにより、タイミング信号の周波数を外部入力クロック信号の周波数より高く設定可能であり、その結果、内部機能回路より出力される1クロックのデータ信号を複数回にわたり記憶素子に記憶することが可能となり、より詳細なACスペック検査を実行できる。

【0015】本発明の請求項6に係る半導体装置のACスペック検査方法は、請求項1ないし請求項5のいずれかに記載の半導体装置に対し、ACスペック検査を行うACスペック検査方法であって、LSIテスターより、上記半導体装置にクロック信号を入力し、上記半導体回路の内部機能回路にて、上記クロック信号に同期したデータ信号を出力し、上記半導体回路のタイミング発生手

段にて、上記クロック信号に応じて所定のタイミング信号を発生し、上記半導体回路の記憶素子に、上記タイミング信号の入力により上記データ信号を一時的に記憶し、上記記憶素子から上記データ信号を上記LSIテスターへ出力し、上記LSIテスターにより、予め準備しておいた期待値と上記記憶素子より出力されたデータ信号とを比較して良否判定を行う、ことを特徴とするものである。これにより、従来の半導体装置のACスペック検査方法のようにパフォーマンスボード及びLSIテスターの配線インピーダンスの影響を受けることなく、安価なLSIテスターを用いて正確かつ安定にACスペック検査を実行可能であり、半導体装置の検査コストを低減することができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。なお、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

【0017】(実施の形態1) 以下に、本実施の形態1に係る半導体装置及びそのACスペック検査方法について図1を用いて説明する。図1において、21は被測定半導体装置である。22はLSIテスターであり、被測定半導体装置21のACスペック検査を行う。23はパフォーマンスボードであり、被測定半導体装置21とLSIテスター22を接続する。24はLSIテスター22のクロック信号出力端子である。25はパフォーマンスボード23のクロック信号入力端子である。26は被測定半導体装置21のクロック信号入力端子である。27は被測定半導体装置21の内部機能回路であり、外部入力クロック信号に同期して動作を行い、データ信号を出力する。28はタイミング発生器であり、外部入力クロック信号と位相の異なるACスペック検査用のタイミング信号を発生する。なお、タイミング発生器28は、入力されるクロック信号に応じて所定の遅延時間を経過した後にタイミング信号S4を出力する遅延素子で構成される。29は記憶素子であり、ACスペック検査時に、内部機能回路27より出力されるデータ信号を一時的に記憶する。30は内部機能回路27のデータ信号出力端子である。31はパフォーマンスボード23に取付けられたデータ信号出力端子30の通常動作時と同値のインピーダンス素子Z5であり、他端が接地されている。32は被検査半導体装置21のクロック信号出力端子である。33はパフォーマンスボード23に取付けられたクロック信号出力端子32の通常動作時と同値のインピーダンス素子Z6であり、他端が接地されている。34はメモリデータ信号出力端子であり、記憶素子29に記憶されているデータ信号を外部へ出力する。35は配線インピーダンスZ7である。36はパフォーマンスボード23のメモリデータ信号出力端子である。37はLSIテスター22のメモリデータ信号入力端子であ

る。38は配線インピーダンスZ38である。39は電圧レベル判定回路である。

【0018】図2は、各信号のタイミングチャートを示したものである。図2において、S1は外部クロック信号入力端子26に入力されるクロック信号波形、S2内部機能回路27より出力されるデータ信号波形、S3はクロック信号出力端子32に出力されるクロック信号波形、S4は記憶素子29に入力されるタイミング信号波形である。

【0019】次に、上記構成の半導体装置21のACスペック検査方法について説明する。LSIテスト22のクロック信号出力端子24から出力されたクロック信号S1は、パフォーマンスボード23のクロック信号入力端子25を通じて、被測定半導体装置21のクロック信号入力端子26に入力される。そして、被測定半導体装置21において、クロック信号S1は内部機能回路27及びクロック信号出力端子32へ出力される。

【0020】内部機能回路27は、入力されたクロック信号S1に同期したデータ信号S2を被測定半導体装置21のデータ信号出力端子30を介して記憶素子29へ出力する。このとき、内部機能回路27より出力されるデータ信号S2は、パフォーマンスボード23に取付けられたインピーダンス31を負荷として電圧レベルが変化する。

【0021】また、クロック信号出力端子32へ出力されたクロック信号S1はタイミング発生器28に入力される。このとき、タイミング発生器28へ出力されるクロック信号S3はパフォーマンスボード23に取付けられたインピーダンス33を負荷として電圧レベルが変化する。タイミング発生器28は、クロック信号S3と位相の異なるタイミング信号S4を、クロック信号S3の入力時間より所定の遅延時間が経過した後に発生し、記憶素子29へ出力する。

【0022】そして、記憶素子29は、タイミング発生器28より出力されるタイミング信号S4をデータ信号取込み用トリガーとして、該タイミング信号S4が入力された時点の内部機能回路27より出力されるデータ信号S2を一時的に記憶する。そして、一時的に記憶されたデータ信号は、メモリデータ信号出力端子34、パフォーマンスボード23の配線インピーダンス35、パフォーマンスボード23のメモリデータ信号出力端子36、LSIテスト22のメモリデータ信号入力端子37、LSIテスト22の配線インピーダンス38を通じて、LSIテスト22の電圧レベル判定回路39へ出力される。なお、記憶素子29より出力されるデータ信号は、配線インピーダンス35、38の影響を受けても問題にならない程度の遅い周波数で電圧レベル判定回路39へ出力される。

【0023】そして、電圧レベル判定回路39は、所望のデータ信号が記憶素子29へ記憶できていたか否か

を、予め準備しておいた期待値と入力されたデータ信号とを比較することによってACタイミング検査を行う。

【0024】なお、タイミング発生器28を所定の遅延量をもつ遅延素子としたが、遅延素子の代わりに複数のインバータがリング状に連結され、インバータ出力端子が複数存在し、任意のインバータ出力信号を選択することが可能なDLL回路を用いてもよい。この場合、外部入力クロック信号の周波数を変化させることにより、外部入力クロック信号に対するタイミング信号の遅延時間を連続して変化可能であり、より詳細なACスペック検査が可能となる。

【0025】また、タイミング発生器28をDLL回路としたが、DLL回路の代わりに、所定の周波数を発生することが可能なPLL回路を用いてもよい。この場合、タイミング信号の周波数を内部機能回路27に入力されるクロック信号の周波数より高く設定可能であり、その結果、内部機能回路27より出力される1クロックのデータ信号を複数回にわたり記憶素子29に記憶することが可能となり、より詳細なACスペック検査が可能となる。

【0026】このような実施の形態1における半導体装置では、データ信号出力端子30、クロック信号出力端子32にインピーダンス素子31、33を接続して通常動作状態と同じ状態を実現し、被測定半導体装置21内部にタイミング発生器28と記憶素子29を設け、内部機能回路27のデータ信号S2を一時的に記憶し、その後、記憶素子29に記憶されたデータ信号を読み出してLSIテスト22により期待値の確認を行うことで、パフォーマンスボード23及びLSIテスト22の配線インピーダンス35、38の影響を受けることなく、被測定半導体装置21のACスペック検査を正確かつ安定に実行することができる。

【0027】また、タイミング発生器28をDLL回路で構成した場合、外部入力クロック信号の周波数を変化させることにより、外部入力クロック信号に対する上記タイミング信号の遅延時間を連続して変化可能であり、より詳細なACスペック検査が可能となる。

【0028】また、タイミング発生器28をPLL回路で構成した場合、タイミング信号の周波数を内部機能回路27に入力されるクロック信号の周波数より高く設定可能であり、その結果、内部機能回路27より出力される1クロックのデータ信号を複数回にわたり記憶素子29に記憶することが可能となり、より詳細なACスペック検査が可能となる。

【0029】(実施の形態2)以下に、本実施の形態2に係る半導体装置及びそのACスペック検査方法について図3を用いて説明する。図3において、40は被測定半導体装置である。41はLSIテストであり、被測定半導体装置40のACスペック検査を行う。42はパフォーマンスボードであり、被測定半導体装置40とし

SIテスター41を接続する。43はLSIテスター41のクロック信号出力端子である。44はパフォーマンスボード42のクロック信号入力端子である。45は被測定半導体装置40のクロック信号入力端子である。46は被測定半導体装置40の内部機能回路であり、外部入力クロック信号に同期して動作を行い、データ信号を出力する。47はタイミング発生器であり、外部入力クロック信号と位相の異なるACスペック検査用のタイミング信号を発生する。なお、タイミング発生器47は、クロック信号の入力に応じて所定の遅延時間を経過した後にタイミング信号を発生する遅延素子で構成される。48は記憶素子であり、ACスペック検査時に内部機能回路46より出力されるデータ信号を一時的に記憶する。49は選択回路であり、内部機能回路46の出力データ信号及び記憶素子48の出力データ信号のいずれかを選択し出力する。50は被測定半導体装置40のクロック信号出力端子である。51はパフォーマンスボード40に取付けられたクロック信号出力端子50の通常動作時と同値のインピーダンス素子Z9であり、他端が接地されている。52は被測定半導体装置40のデータ信号出力端子である。53はパフォーマンスボード42に取付けられたデータ信号出力端子52の通常動作時と同値のインピーダンス素子Z10であり、他端が接地されている。54はスイッチであり、パフォーマンスボード42のデータ信号出力配線に取付けられたトランスマニアゲートで構成される。なお、スイッチ54の代わりにバッファを用いてもよい。55はデータ信号出力配線の配線インピーダンスZ11である。56はパフォーマンスボード42のデータ信号出力端子である。57はLSIテスター41のデータ信号入力端子である。58は配線インピーダンスZ12である。59はデータ信号の電圧レベル判定回路である。

【0030】次に、上記構成の半導体装置40のACスペック検査方法について説明する。LSIテスター41のクロック信号出力端子43から出力されたクロック信号は、パフォーマンスボード42のクロック信号入力端子44を通じて、被測定半導体装置40のクロック信号入力端子45に入力される。そして、被測定半導体装置40において、入力されたクロック信号は内部機能回路46及びクロック信号出力端子50へ出力される。

【0031】内部機能回路46は、入力されたクロック信号に同期したデータ信号を選択回路49へ出力する。

【0032】まず、スイッチ54をOFFにし、選択回路49は内部機能回路46より出力されるデータ信号を選択してデータ信号出力端子52へ出力する設定しておく。ここで、クロック信号出力端子50へ出力されたクロック信号は、タイミング発生器47へ出力される。このとき、タイミング発生器47へ出力されるクロック信号は、パフォーマンスボード42に取付けられたインピーダンス51を負荷として電圧レベルが変化する。

10

そして、タイミング発生器47は、入力されたクロック信号と位相の異なるタイミング信号を所定の時間遅延させて記憶素子48へ出力する。そして、記憶素子48は、タイミング発生器47から発生したタイミング信号をトリガーにして、内部機能回路46より出力されるデータ信号を一時的に記憶する。このとき、内部機能回路46より出力されるデータ信号は、パフォーマンスボード42に取付けられたインピーダンス53を負荷として電圧レベルが変化する。

【0033】次に、スイッチ54をONにし、選択回路49は記憶素子48に記憶されているデータ信号を選択してデータ信号出力端子52へ出力する設定に変更する。そして、記憶素子48に一時的に記憶されたデータ信号は、選択回路49、データ信号出力端子52を通じて外部へ出力される。

【0034】そして、被測定半導体装置40のデータ信号出力端子52より出力されたデータ信号は、トランスマニアゲート54、パフォーマンスボード42の配線インピーダンス55、パフォーマンスボード42のデータ信号出力端子56、LSIテスター41のデータ信号入力端子57、LSIテスター41の配線インピーダンス58を通じて、LSIテスター41の電圧レベル判定回路59に入力される。そして、LSIテスター41は、予め準備されていた期待値と比較してACスペック検査を行う。

【0035】なお、タイミング発生器47を所定の遅延量をもつ遅延素子としたが、遅延素子の代わりに、複数のインバータがリング状に連結され、インバータ出力端子が複数存在し、任意のインバータ出力信号を選択することが可能なDLI回路を用いてもよい。この場合、外部入力クロック信号の周波数を変化させることにより、外部入力クロック信号に対するタイミング信号の遅延時間を連続して変化可能であり、より詳細なACスペック検査が可能となる。

【0036】また、タイミング発生器47をDLI回路としたが、DLI回路の代わりに所定の周波数を発生することが可能なPLL回路を用いてもよい。この場合、タイミング信号の周波数を内部機能回路47に入力されるクロック信号の周波数より高く設定可能であり、その結果、内部機能回路46が送出する1クロックのデータ信号を複数回にわたり記憶素子48に記憶することが可能となり、より詳細なACスペック検査が可能となる。

【0037】このような実施の形態2における半導体装置では、データ信号出力端子52、クロック信号出力端子50にインピーダンス素子53、51を接続して通常動作状態と同じ状態を実現し、被測定半導体装置40内部にタイミング発生器47と記憶素子48と選択回路49とを設け、選択回路49により内部機能回路46より出力されるデータ信号S2を選択し、記憶素子48に一時的に記憶し、その後、選択回路49により記憶素子4

50

11

8に記憶されたデータ信号を選択してLSIテスター41へ出力し、期待値と比較してACスペック検査を実行することで、パフォーマンスボード42及びLSIテスター41の配線インピーダンス55、58の影響を受けることなく、被測定半導体装置40のACスペック検査を正確かつ安定に実行することができ、さらに、記憶素子48のデータ信号出力端子と内部機能回路46のデータ信号出力端子が同一のデータ信号出力端子52で利用可能なため、データ信号出力端子数を低減できる。

【0038】また、タイミング発生器47をDLI回路で構成した場合、外部入力クロック信号の周波数を変化させることにより、外部入力クロック信号に対する上記タイミング信号の遅延時間を連続して変化可能であり、より詳細なACスペック検査が可能となる。

【0039】また、タイミング発生器47をPLL回路で構成した場合、タイミング信号の周波数を内部機能回路46に入力されるクロック信号の周波数より高く設定可能であり、その結果、内部機能回路46より出力される1クロックのデータ信号を複数回にわたり記憶素子48に記憶することが可能となり、より詳細なACスペック検査が可能となる。

【0040】

【発明の効果】本発明の請求項1に記載の半導体装置によれば、外部入力クロック信号を入力する入力端子と、上記外部入力クロック信号に同期して動作を行い、データ信号を出力する内部機能回路と、上記外部入力クロック信号と位相の異なるタイミング信号を発生するタイミング発生手段と、上記タイミング信号をトリガーに上記内部機能回路より出力されるデータ信号を一時的に記憶する記憶素子と、上記内部機能回路より出力されるデータ信号を外部へ出力する第1の出力端子と、上記外部入力クロック信号を外部へ出力する第2の出力端子と、上記記憶素子に記憶されているデータ信号を外部へ出力する第3の出力端子と、を備え、上記第1、第2の出力端子の通常動作状態と同値の第1、第2のインピーダンス素子が上記第1、第2の出力端子の各々にパフォーマンスボード上で接続され、かつ、該各インピーダンス素子の他端は接地され、上記選択回路は、上記タイミング発生手段よりタイミング信号が発生すると、上記内部機能回路より出力されるデータ信号を上記第1の出力端子を介して上記記憶素子へ出力し、該記憶素子へ記憶されたデータ信号を上記第1の出力端子を介して外部へ出力するようにしたので、パフォーマンスボード及びLSIテスターの各配線インピーダンスの影響を受けることなく、半導体装置のACスペック検査を正確かつ安定に実行でき、また、記憶素子より出力されるデータ信号の出力端子と、内部機能回路より出力されるデータ信号の出力端子を同一の出力端子で利用可能なため、出力端子数を低減できる。

10 【0041】本発明の請求項3に記載の半導体装置によれば、請求項1または請求項2に記載の半導体装置において、上記タイミング発生手段は、上記外部入力クロック信号に応じて所定の遅延時間を経過した後にタイミング信号を発生する遅延素子で構成されるようにしたので、タイミング発生手段の構成が容易になり、半導体装置のACスペック検査を低コストで実現できる。

20 【0042】本発明の請求項3に記載の半導体装置によれば、請求項1または請求項2に記載の半導体装置において、上記タイミング発生手段は、上記外部入力クロック信号に同期させ、かつ、所定の位相差を有する複数のタイミング信号を発生し、該複数のタイミング信号のうち任意のタイミング信号を選択可能なDLI回路で構成されるようにしたので、外部入力クロック信号に対するタイミング信号の遅延時間を連続して変化可能であり、その結果、より詳細なACスペック検査が実行できる。

【0043】本発明の請求項4に記載の半導体装置によれば、請求項1または請求項2に記載の半導体装置において、上記タイミング発生手段は、上記外部入力クロック信号に同期させ、かつ、所定の位相差を有する複数のタイミング信号を発生し、該複数のタイミング信号のうち任意のタイミング信号を選択可能なDLI回路で構成されるようにしたので、外部入力クロック信号に対するタイミング信号の遅延時間を連続して変化可能であり、その結果、より詳細なACスペック検査が実行できる。

30 【0044】本発明の請求項5に記載の半導体装置によれば、請求項1または請求項2に記載の半導体装置において、上記タイミング発生手段は、上記外部入力クロック信号に応じた周波数を発生し、上記外部入力クロック信号周波数よりも高い周波数のタイミング信号を発生可能なPLL回路で構成されるようにしたので、タイミング信号の周波数を外部入力クロック信号の周波数より高く設定可能であり、その結果、内部機能回路より出力される1クロックのデータ信号を複数回にわたり記憶素子に記憶することが可能となり、より詳細なACスペック検査を実行できる。

40 【0045】本発明の請求項6に記載の半導体装置のACスペック検査方法によれば、請求項1ないし請求項5のいずれかに記載の半導体装置に対し、ACスペック検査を行うACスペック検査方法であって、LSIテスター

50

13

一より、上記半導体装置にクロック信号を入力し、上記半導体回路の内部機能回路にて、上記クロック信号に同期したデータ信号を出力し、上記半導体回路のタイミング発生手段にて、上記クロック信号に応じて所定のタイミング信号を発生し、上記半導体回路の記憶素子に、上記タイミング信号の入力により上記データ信号を一時的に記憶し、上記記憶素子から上記データ信号を上記LSIテスターへ出力し、上記LSIテスターにより、予め準備しておいた期待値と上記記憶素子より出力されたデータ信号とを比較して良否判定を行うようにしたので、従来の半導体装置のACスペック検査方法のようにパフォーマンスボード及びLSIテスターの配線インピーダンスの影響を受けることなく、安価なLSIテスターを用いて正確かつ安定にACスペック検査を実行可能であり、半導体装置の検査コストを低減することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1における半導体装置及びそのACスペック検査方法を説明するための図である。

【図2】本発明の実施形態1における各信号波形を示す図である。

【図3】本発明の実施形態2における半導体装置及びそのACスペック検査方法を説明するための図である。

【図4】従来の半導体装置及びそのACスペック検査を説明するための図である。

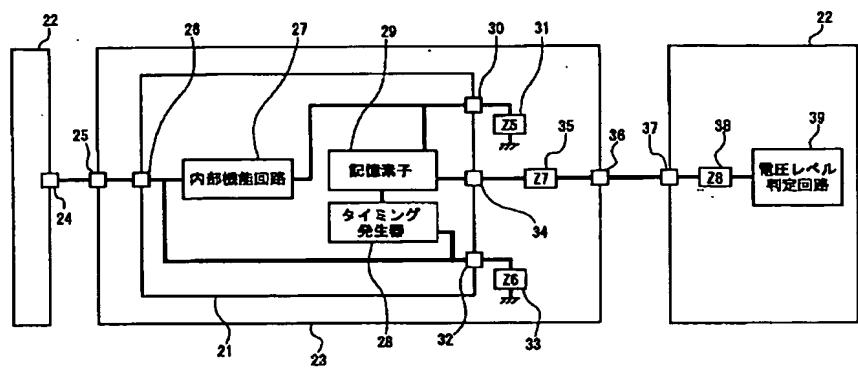
【符号の説明】

- 1 被測定半導体装置
- 2 LSIテスター
- 3 パフォーマンスボード
- 4 クロック信号出力端子
- 5 クロック信号入力端子
- 6 クロック信号入力端子
- 7 内部機能回路
- 8 クロック信号出力端子
- 9 配線インピーダンス
- 10 クロック信号出力端子
- 11 データ信号出力端子
- 12 配線インピーダンス
- 13 データ信号出力端子
- 14 クロック信号入力端子
- 15 配線インピーダンス
- 16 電圧レベル判定回路
- 17 データ信号入力端子

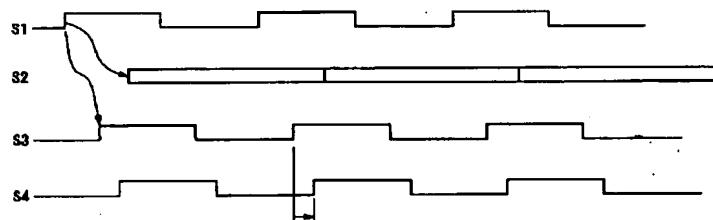
14

- 18 配線インピーダンス
- 19 電圧レベル判定回路
- 20 時間計測回路
- 21 被測定半導体装置
- 22 LSIテスター
- 23 パフォーマンスボード
- 24 クロック信号出力端子
- 25 クロック信号入力端子
- 26 クロック信号入力端子
- 10 27 内部機能回路
- 28 タイミング発生器
- 29 記憶素子
- 30 データ信号出力端子
- 31 インピーダンス素子
- 32 クロック信号出力端子
- 33 インピーダンス素子
- 34 メモリデータ信号出力端子
- 35 配線インピーダンス
- 36 メモリデータ信号出力端子
- 20 37 メモリデータ信号入力端子
- 38 配線インピーダンス
- 39 電圧レベル判定回路
- 40 被測定半導体装置
- 41 LSIテスター
- 42 パフォーマンスボード
- 43 クロック信号出力端子
- 44 クロック信号入力端子
- 45 クロック信号入力端子
- 46 内部機能回路
- 30 47 タイミング発生器
- 48 記憶素子
- 49 選択回路
- 50 クロック信号出力端子
- 51 インピーダンス素子
- 52 データ信号出力端子
- 53 インピーダンス素子
- 54 スイッチ
- 55 配線インピーダンス
- 56 データ信号出力端子
- 40 57 データ信号入力端子
- 58 配線インピーダンス
- 59 電圧レベル判定回路

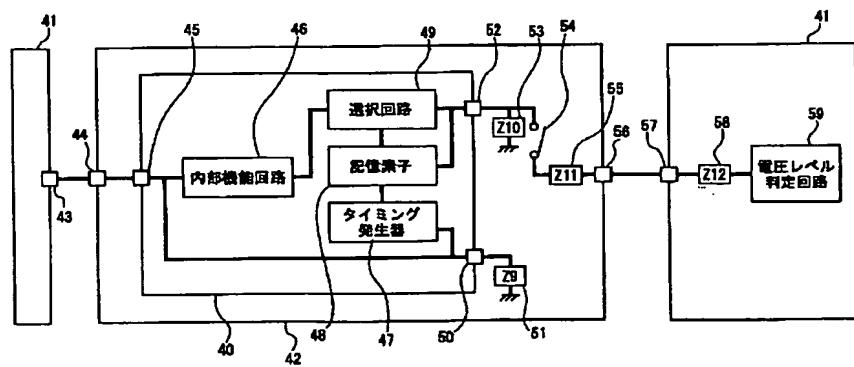
【図1】



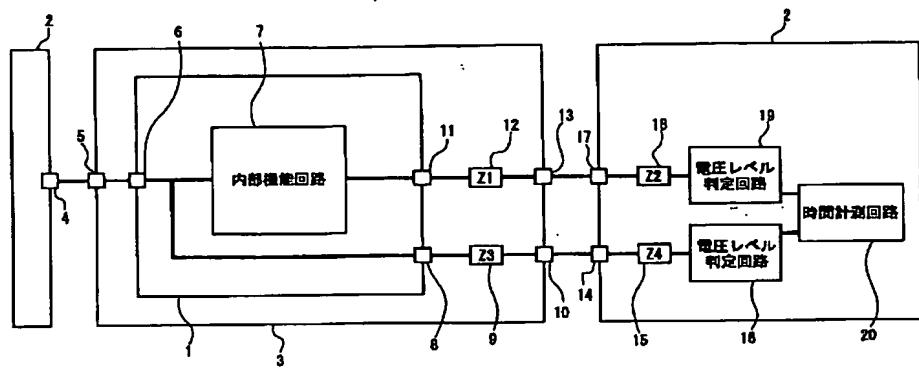
【図2】



【図3】



【図4】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成15年9月10日(2003.9.10)

【公開番号】特開2002-340991(P2002-340991A)

【公開日】平成14年11月27日(2002.11.27)

【年通号数】公開特許公報14-3410

【出願番号】特願2001-148365(P2001-148365)

【国際特許分類第7版】

G01R 31/316

31/28

31/3183

31/319

【F I】

G01R 31/28

C

V

Q

R

【手続補正書】

【提出日】平成15年6月2日(2003.6.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】被測定半導体装置1において、クロック信号入力端子6より入力されたクロック信号は、内部機能回路7及びクロック信号出力端子8へ出力される。内部機能回路7は入力されたクロック信号に同期したデータ信号をデータ信号出力端子11を介して外部へ出力する。そして、データ信号出力端子11より出力されたデータ信号は、パフォーマンスボード3の配線インピーダンス12、パフォーマンスボード3のデータ信号出力端子13、LSIテスター2のデータ信号入力端子17、LSIテスター2の配線インピーダンス18を通って、電圧レベル判定回路19に入力される。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】(実施の形態1)以下に、本実施の形態1に係る半導体装置及びそのACスペック検査方法について図1を用いて説明する。図1において、21は被測定半導体装置である。22はLSIテスターであり、被測定半導体装置21のACスペック検査を行う。23はパフォーマンスボードであり、被測定半導体装置21とLSIテスター22を接続する。24はLSIテスター2のクロック信号出力端子である。25はパフォーマン

スボード23のクロック信号入力端子である。26は被測定半導体装置21のクロック信号入力端子である。27は被測定半導体装置21の内部機能回路であり、外部入力クロック信号に同期して動作を行い、データ信号を出力する。28はタイミング発生器であり、外部入力クロック信号と位相の異なるACスペック検査用のタイミング信号を発生する。なお、タイミング発生器28は、入力されるクロック信号に応じて所定の遅延時間を経過した後にタイミング信号S4を出力する遅延素子で構成される。29は記憶素子であり、ACスペック検査時に、内部機能回路27より出力されるデータ信号を一時的に記憶する。30は内部機能回路27のデータ信号出力端子である。31はパフォーマンスボード23に取付けられたデータ信号出力端子30の通常動作時と同値のインピーダンス素子Z5であり、他端が接地されている。32は被検査半導体装置21のクロック信号出力端子である。33はパフォーマンスボード23に取付けられたクロック信号出力端子32の通常動作時と同値のインピーダンス素子Z6であり、他端が接地されている。34はメモリデータ信号出力端子であり、記憶素子29に記憶されているデータ信号を外部へ出力する。35は配線インピーダンスZ7である。36はパフォーマンスボード23のメモリデータ信号出力端子である。37はLSIテスター22のメモリデータ信号入力端子である。38は配線インピーダンスZ8である。39は電圧レベル判定回路である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】図2は、各信号のタイミングチャートを示したものである。図2において、S1は外部クロック信号入力端子26に入力されるクロック信号波形、S2は内部機能回路27より出力されるデータ信号波形、S3はクロック信号出力端子32に出力されるクロック信号波形、S4は記憶素子29に入力されるタイミング信号波形である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】(実施の形態2)以下に、本実施の形態2に係る半導体装置及びそのACスペック検査方法について図3を用いて説明する。図3において、40は被測定半導体装置である。41はLSIテスターであり、被測定半導体装置40のACスペック検査を行う。42はパフォーマンスボードであり、被測定半導体装置40とLSIテスター41を接続する。43はLSIテスター41のクロック信号出力端子である。44はパフォーマンスボード42のクロック信号入力端子である。45は被測定半導体装置40のクロック信号入力端子である。46は被測定半導体装置40の内部機能回路であり、外部入力クロック信号に同期して動作を行い、データ信号を出力する。47はタイミング発生器であり、外部入力ク

ロック信号と位相の異なるACスペック検査用のタイミング信号を発生する。なお、タイミング発生器47は、クロック信号の入力に応じて所定の遅延時間を経過した後にタイミング信号を発生する遅延素子で構成される。48は記憶素子であり、ACスペック検査時に内部機能回路46より出力されるデータ信号を一時的に記憶する。49は選択回路であり、内部機能回路46の出力データ信号、あるいは記憶素子48の出力データ信号のいずれかを選択し出力する。50は被測定半導体装置40のクロック信号出力端子である。51はパフォーマンスボード42に取付けられたクロック信号出力端子50の通常動作時と同値のインピーダンス素子Z9であり、他端が接地されている。52は被測定半導体装置40のデータ信号出力端子である。53はパフォーマンスボード42に取付けられたデータ信号出力端子52の通常動作時と同値のインピーダンス素子Z10であり、他端が接地されている。54はスイッチであり、パフォーマンスボード42のデータ信号出力配線に取付けられたトランジスタゲートで構成される。なお、スイッチ54の代わりにバッファを用いてもよい。55はデータ信号出力配線の配線インピーダンスZ11である。56はパフォーマンスボード42のデータ信号出力端子である。57はLSIテスター41のデータ信号入力端子である。58は配線インピーダンスZ12である。59はデータ信号の電圧レベル判定回路である。